

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
15. August 2002 (15.08.2002)

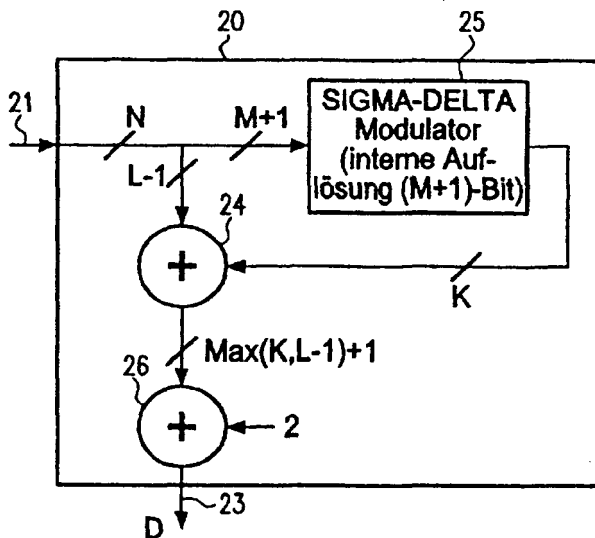
(10) Internationale Veröffentlichungsnummer
PCT WO 02/063772 A2

- (51) Internationale Patentklassifikation: H03M 3/00 (72) Erfinder; und
(21) Internationales Aktenzeichen: PCT/DE02/00062 (75) Erfinder/Anmelder (nur für US): HAMMES, Markus
(22) Internationales Anmeldedatum: 10. Januar 2002 (10.01.2002) [DE/DE]; Im Kloostergarten 5, 46539 Dinslaken (DE). VAN
(25) Einreichungssprache: Deutsch WAASEN, Stefan [DE/DE]; Herzogstr. 173, 47178 Duis-
(26) Veröffentlichungssprache: Deutsch burg (DE).
(30) Angaben zur Priorität: 101 05 057.7 5. Februar 2001 (05.02.2001) DE (74) Anwalt: LANGE, Thomas; Lambsdorff & Lange, Din-
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von golfinger Strasse 6, 81673 München (DE).
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE). (81) Bestimmungsstaaten (national): CN, JP, US.
(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
Veröffentlicht:
— ohne internationalen Recherchenbericht und erneut zu
veröffentlichen nach Erhalt des Berichts

[Fortsetzung auf der nächsten Seite]

(54) Title: SIGMA-DELTA PROGRAMMING DEVICE FOR A-PLL-FREQUENCY SYNTHESIZER

(54) Bezeichnung: SIGMA-DELTA PROGRAMMIEREINRICHTUNG FÜR PLL-FREQUENZSYNTHESIZER



25 SIGMA-DELTA MODULATOR
(internal resolution (M+1)-bits)

(57) Abstract: A data item with an item width of N bits is fed to a sigma-delta programmer. The highest-order L bits of the data item represent the places before the decimal point and the remaining N-L low-order bits represent the decimal places of the data item. The N-L+1 low-order bits of the data item are routed to a sigma-delta modulator (25). A digital adder (24) receives the L-1 highest-order bits of the data item, in addition to a data item issued from the sigma-delta modulator (25) and emits a signal, which is multiplied by 2 by a multiplier (26).

[Fortsetzung auf der nächsten Seite]

WO 02/063772 A2



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Docket # LDL-I0058
Applic. # _____
Applicant: Markus Hammes et al.
Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101

(57) Zusammenfassung: Einem Sigma-Delta Programmierer wird ein Datenwort einer Wortbreite von N Bit zugeführt. Die höchstwertigen L Bits des Datenwortes repräsentieren die Vorkommastellen und die restlichen N-L niederwertigen Bits repräsentieren die Nachkommastellen des Datenwortes. Einem Sigma-Delta Modulator (25) werden die N-L+1 niederwertigen Bits des Datenwortes zugeleitet. Ein Addierer (24) empfängt die L-1 höchstwertigen Bits des Datenwortes sowie ein von dem Sigma-Delta Modulator (25) ausgegebenes Datenwort und gibt ein Signal aus, welches von einem Multiplizierer (26) mit dem Wert 2 multipliziert wird.

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
15. August 2002 (15.08.2002)

PCT

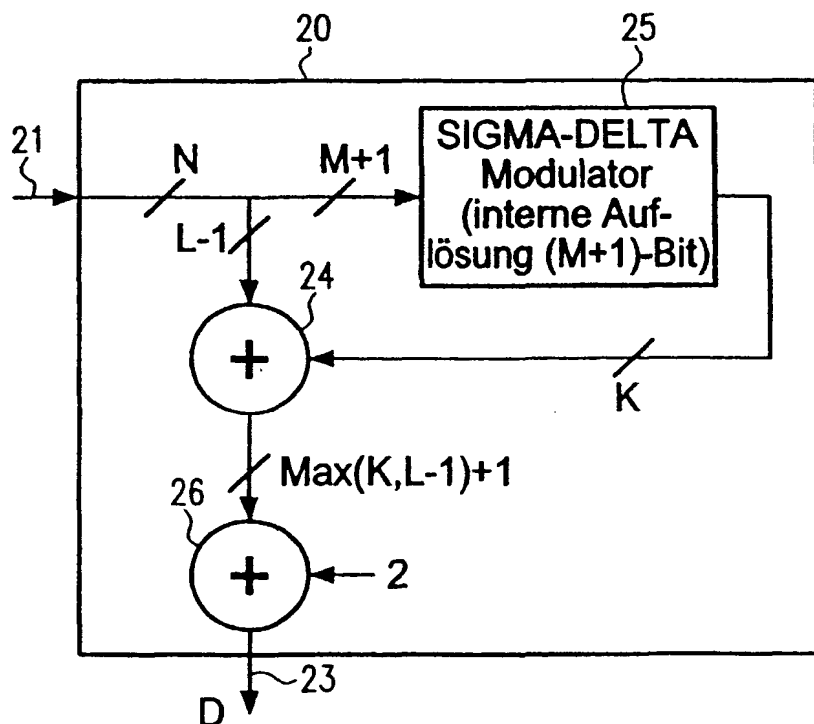
(10) Internationale Veröffentlichungsnummer
WO 02/063772 A3

- (51) Internationale Patentklassifikation⁷: **H03L 7/197** (72) Erfinder; und
(21) Internationales Aktenzeichen: **PCT/DE02/00062** (75) Erfinder/Anmelder (nur für US): **HAMMES, Markus**
(22) Internationales Anmeldedatum: **10. Januar 2002 (10.01.2002)** [DE/DE]; Im Klostergarten 5, 46539 Dinslaken (DE). **VAN**
(25) Einreichungssprache: **Deutsch** **WAASEN, Stefan** [DE/DE]; Herzogstr. 173, 47178 Duis-
(26) Veröffentlichungssprache: **Deutsch** **burg (DE).**
(30) Angaben zur Priorität: **101 05 057.7** **5. Februar 2001 (05.02.2001)** **DE** (74) Anwalt: **LANGE, Thomas**; Lambsdorff & Lange, Din-
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von golfinger Strasse 6, 81673 München (DE).
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE). (81) Bestimmungsstaaten (national): **CN, JP, US.**
(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
Veröffentlicht:
— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: **SIGMA-DELTA PROGRAMMING DEVICE FOR A PLL-FREQUENCY SYNTHESIZER**

(54) Bezeichnung: **SIGMA-DELTA PROGRAMMIEREINRICHTUNG FÜR PLL-FREQUENZSYNTHESIZER**



25 **SIGMA-DELTA MODULATOR**
(internal resolution (M+1)-bits)

(57) **Abstract:** A data item with an item width of N bits is fed to a sigma-delta programmer. The highest-order L bits of the data item represent the places before the decimal point and the remaining N-L low-order bits represent the decimal places of the data item. The N-L+1 low-order bits of the data item are routed to a sigma-delta modulator (25). A digital adder (24) receives the L-1 highest-order bits of the data item, in addition to a data item issued from the sigma-delta modulator (25) and emits a signal, which is multiplied by 2 by a multiplier (26).

(57) **Zusammenfassung:** Einem Sigma-Delta Programmierer wird ein Datenwort einer Wortbreite von N Bit zugeführt. Die höchstwertigen L Bits des Datenwortes repräsentieren die Vorkommastellen und die restlichen N-L niederwertigen Bits repräsentieren die Nachkommastellen des Datenwortes. Einem Sigma-Delta Modulator (25) werden die N-L+1 niederwertigen Bits des Datenwortes zugeleitet. Ein Addierer (24) empfängt die L-1 höchstwertigen Bits des Datenwortes sowie ein von dem Sigma-Delta Modulator (25) ausgegebenes Datenwort und gibt

ein Signal aus, welches von einem Multiplizierer (26) mit dem Wert 2 multipliziert wird.



WO 02/063772 A3



— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(88) Veröffentlichungsdatum des internationalen

Recherchenberichts:

5. Juni 2003

Docket # LDL-I 0058

Applic. # _____

Applicant: Markus Hummer et al.

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Off nlegungsschrift
⑩ DE 196 40 072 A 1

⑤1 Int. Cl.⁶:
H 03 L 7/183

②1 Aktenzeichen: 196 40 072.4
②2 Anmeldetag: 28. 9. 96
④3 Offenlegungstag: 2. 4. 98

DE 196 40 072 A 1

⑦1 Anmelder:
Rohde & Schwarz GmbH & Co KG, 81671 München,
DE

⑦4 Vertreter:
Graf, W., Dipl.-Ing., Pat.-Anw., 80331 München

⑦2 Erfinder:
Schiek, Burkhard, Prof. Dr.-Ing., 44801 Bochum, DE;
Musch, Thomas, 45481 Mülheim, DE

⑤4 Nach dem Prinzip der fraktionalen Frequenzsynthese arbeitender Frequenzsynthesizer

⑤7 Bei einem nach der fraktionalen Frequenzsynthese arbeitenden Frequenzsynthesizer wird über eine Steuerschaltung das ganzzahlige Teilungsverhältnis eines Frequenzteilers so gesteuert, daß ein dem Nachkommaanteil eines gewünschten Teilungsverhältnisses entsprechendes gebrochenes Teilungsverhältnis simuliert wird; das Ausgangssignal der Steuerschaltung wird dabei durch Addition des ganzzahligen Anteils des gewünschten gebrochenen Teilungsverhältnisses mit einem dem Nachkommaanteil entsprechenden Wert in einem Addierer erzeugt und dieser Wert wird aus dem Nachkommaanteil mittels einer Kettenschaltung von mehreren Integratoren mit nachgeschaltetem Quantisierer gebildet; dabei wird der am Ausgang der Kettenschaltung erzeugte Wert über unterschiedlich bemessene Bewertungsglieder unterschiedlich gewichtet den Eingängen der in Kette geschalteten Integratoren rückgekoppelt.

DE 196 40 072 A 1

Die Erfindung geht aus und betrifft einen Frequenzsynthesizer laut Oberbegriff des Hauptanspruches.

Frequenzsynthesizer dieser Art sind bekannt (z. B. nach europäischer Patentschrift 0 125 719 oder 0 214 217). Durch die Mehrfachintegration kann zwar das Rauschen verringert werden, ein Nachteil der bekannten Anordnungen ist jedoch, daß bei mehreren in Kette geschalteten Integratoren ein relativ großer Hub des dem Nachkommaanteil entsprechenden Zahlenwertes entsteht, der bei einer dreistufigen Kettenschaltung beispielsweise zwischen -7 und $+8$ schwankt. Dieser große Hub bedingt auch eine relativ große Phasenstörung, sobald nur kleine Nichtlinearitäten im Gesamtsystem vorliegen. Solche Nichtlinearitäten können beispielsweise durch den Phasendetektor der Phasenregelschleife auftreten.

Diese Nachteile gelten auch für einen bekannten Synthesizer der eingangs erwähnten Art, bei dem mehrere in Kette geschaltete Integratoren vorgesehen sind und die Ausgangswerte der einzelnen Integratoren über Bewertungsglieder in Vorwärtsrichtung einem ausgangseitigen Addierer zugeführt werden (Aufsatz von Riley et al., "Delta-Sigma Modulation in Fractional-N Frequency Synthesis", IEEE Journal of Solid-State Circuits, Vol. 28, Nr. 5, Mai 1993, Seiten 553—559, insbesondere Fig. 9). Hier ist eine Hubbegrenzung nur durch entsprechende Begrenzung des Quantisierers auf Werte von $+1/-1$ möglich, diese bekannte Anordnung besitzt darüber hinaus den Nachteil der Instabilität.

Es ist Aufgabe der Erfindung, einen Frequenzsynthesizer mit einer stabilen Integrator-Kettenschaltung zur Erzeugung des Nachkommaanteils zu schaffen, die sowohl bezüglich Rauschen als auch bezüglich des Hubes optimal dimensionierbar ist.

Diese Aufgabe wird ausgehend von einem Frequenzsynthesizer laut Oberbegriff des Hauptanspruches durch dessen kennzeichnende Merkmale gelöst. Vorteilhafte Weiterbildungen ergeben sich aus den Unteransprüchen.

Eine erfindungsgemäße Integrator-Kettenschaltung mit gewichteter Rückkopplung zu den Eingängen der einzelnen Integratoren ermöglicht einerseits durch eine entsprechende Anzahl von Integratoren eine optimale Störgeräuscherdrückung und gewährleistet andererseits durch die gewichtete Rückkopplung die inverse Filterarbeit sowie eine automatische Begrenzung des Hubes, mit dem der Nachkommaanteil am Ausgang des Quantisierers der Integrator-Kette entsteht. Damit folgt für eine solche Anordnung aus der linearen Stabilität auch automatisch die absolute Stabilität.

Als besonders vorteilhaft hat es sich erwiesen, die Bewertungsglieder für die gewichtete Rückkopplung als gebrochen rationale Faktoren auszubilden, deren Werte gleich oder kleiner 1 sind, im Prinzip könnte jedoch auch eine Vervielfachung angewendet werden.

Die Erfindung wird im folgenden anhand schematischer Zeichnungen an Ausführungsbeispielen näher erläutert.

Fig. 1 zeigt das Prinzipschaltbild eines nach dem Prinzip der fraktionalen Frequenzsynthese arbeitenden Frequenzsynthesizers mit einem phasengeregelten Oszillator 1, einem zwischen diesem Oszillator 1 und dem Phasendetektor 2 angeordneten Frequenzteiler 3 und einem in der Steuerleitung zwischen Phasendetektor 2 und dem in der Frequenz einstellbaren Oszillator 1 angeordneten Schleifenfilter 4. Der Frequenzteiler 3 ist auf

ganzzahlige Teilungsverhältnisse N einstellbar, mit ihm wird die Ausgangsfrequenz f_0 des Oszillators 1 um den Faktor N auf eine Frequenz f_i heruntergeteilt, die in dem Phasendetektor 2 mit der Referenzfrequenz f_r einer Referenzfrequenzquelle 10 verglichen wird. Das Teilungsverhältnis N des Frequenzteilers 3 wird über eine Steuerschaltung 7 eingestellt, die ihrerseits über eine Einstellvorrichtung 5 gesteuert wird, in welcher ein gewünschtes gebrochen rationales Teilungsverhältnis P , F mit einem ganzzahligen Anteil P und einem Nachkommaanteil F als entsprechender Digitalwert einstellbar ist. Das Steuersignal 8 für die Einstellung des Frequenzteilers 3 wird in der Steuerschaltung 7 durch Addition des ganzzahligen Anteils P mit einem dem Nachkommaanteil F entsprechenden Wert ΔP in einem Addierer 6 erzeugt. Der dem Nachkommaanteil F entsprechende Wert ΔP wird gemäß den nachfolgenden erfindungsgemäßen Integrator-Kettenschaltungen mit gewichteter Rückkopplung erzeugt.

Fig. 2 zeigt ein erstes Ausführungsbeispiel einer solchen Integrator-Kettenschaltung bestehend aus vier jeweils über Addierer A1 bis A4 in Kette geschalteten Integratoren I1 bis I4 mit nachgeschaltetem Quantisierer Q, der Ausgangswert am Ausgang 9 des Quantisierers Q wird über eine Verzögerungsschaltung V, die jeweils eine Verzögerung um eine Taktperiode erzeugt, über Bewertungsglieder K1 bis K4 den Addierern A1 bis A4 und damit jeweils den Eingängen der Integratoren I1 bis I4 zugeführt. Am Eingang der Integrator-Kette ist ein zusätzliches Bewertungsglied 11 angeordnet, das den gleichen Gewichtungsfaktor K1 wie das zum Eingang des ersten Integrators I1 rückgekoppelte Bewertungsglied K1 des Rückkopplungskreises aufweist, hierdurch wird die Grundverstärkung, die durch das erste Bewertungsglied des Rückkopplungskreises auftritt, kompensiert.

Durch entsprechende Wahl der Koeffizienten K im Rückkopplungskreis ist es möglich, den gewünschten Abfall des Quantisierungsgeräusches von beispielsweise 24 dB/Oktave zu realisieren, wobei jedoch nur ein begrenzter Hub am Ausgang des Quantisierers Q auftritt, ohne daß am Quantisierer Q selbst eine Begrenzung vorgenommen wird. Der Quantisierer Q kann freilaufend ausgebildet sein, in der Praxis ist es jedoch zweckmäßig, auch im Quantisierer Q eine Quantisierung der höheren Stellen vorzunehmen, beispielsweise der drei höchsten Stellen des in der Integrator-Kette erzeugten Zahlenwertes.

Fig. 3 zeigt ein Beispiel für die Bemessung der Bewertungsglieder K für eine vierstufige Integrator-Kette. Das erste Bewertungsglied K1 besitzt einen Teilerwert 8, das zweite Bewertungsglied K2 einen Teilerwert 4, das dritte Bewertungsglied K3 einen Teilerwert 2 und der vierte Gewichtungswert des Bewertungsgliedes K4 ist 1. Bei dieser Bemessung der Gewichtungsfaktoren wird automatisch eine Begrenzung des Hubes der Ausgangswerte auf -1 bis $+2$ erreicht, und zwar für einen Eingangswertbereich von 0 bis 1.

Fig. 4 zeigt eine weitere Möglichkeit für die Gewichtung der Integratorstufen, in diesem Ausführungsbeispiel sind zwischen den einzelnen Integratoren I1 bis I4 noch zusätzliche Bewertungsglieder C1 bis C4 in Kette mit den Integratoren angeordnet, mit denen zusätzlich noch die Integration gewichtet werden kann. Bei diesen zusätzlichen Bewertungsgliedern C handelt es sich vorzugsweise um Teiler, mit denen die Integratorwerte mit 1 oder Werten kleiner 1 gewichtet der nächsten Integratorstufe zugeführt werden. Auf diese Weise kann die

Schaltung einer solchen Integratorkette optimiert werden, da hierdurch die Gewichtungsfaktoren im Rückkopplungskreis klein gehalten werden können. Die Koppelfaktoren des Rückkopplungskreises können im Prinzip auch in die Bewertungsglieder C der Integratorkette mit eingebaut werden, wodurch sich auch die Verstärkung der Integratorkette verringert und dadurch auch die Vorkompensation.

Fig. 4 zeigt noch eine weitere Möglichkeit, wie durch ein Rückkopplungsnetzwerk R im Rückkopplungs-
zweig, das vor den einzelnen Bewertungsgliedern K angeordnet ist, eine zusätzliche beispielsweise auch komplexe Vorgewichtung des rückgekoppelten Wertes erzeugt werden kann.

In den Ausführungsbeispielen nach den Fig. 2 bis 4 wurde für den Nachkommaanteil F ein Wertebereich von 0 bis 1 vorausgesetzt. Es könnte jedoch auch ohne Einschränkung ein Wertebereich von F zwischen $-0,5$ und $+0,5$ vorausgesetzt werden. In diesem Fall ergibt sich ein symmetrischer Hub um den Nullpunkt. Außerdem beträgt der minimal nötige Hub zur Darstellung dieses Wertebereiches nur -1 bis $+1$.

Fig. 5 zeigt eine Schaltung mit sieben Integratorstufen I1 bis I7, die einen Abfall des Quantisierungsgeräusches von 42 dB/Oktave zum Träger hin ermöglicht. Der Hub einer solchen Anordnung nach Fig. 5 mit den eingezeichneten Gewichtungswerten $1/32$, $1/16$, $3/16$, $1/2$, $1/2$ und 1, 1 beträgt dabei nur -4 bis $+4$, bei einer siebenstufigen Anordnung nach dem Stand der Technik würde hierbei ein Hub von -63 bis $+64$ erzeugt werden.

Fig. 6 zeigt schließlich ein Ausführungsbeispiel, bei dem der Quantisierer Q auf eine Ober- und Untergrenze von -1 bzw. $+1$ begrenzt ist. Bei der vierstufigen Anordnung nach Fig. 6 würde mit den eingetragenen Gewichtungswerten an sich ein auf -2 bis $+2$ begrenzter Hub entstehen, durch die zusätzliche Begrenzung des Quantisierers Q auf -1 bis $+1$ wird der Hub nochmals begrenzt, ohne daß nichtlineare Schwingungen zu befürchten sind. Dieser Hub stellt das absolute Minimum dar.

Als Integratoren I sind alle hierfür bekannten Schaltungen geeignet, jeder dieser Integratoren I besteht beispielsweise im Sinne der Fig. 7 aus einer Addierstufe 13 und einem Latch. Als Integratoren eignen sich auch andere beliebige Übertragungssysteme, die bei kleinen Frequenzen eine hohe Verstärkung aufweisen. Es sind beispielsweise auch Tiefpaßstrukturen als Integratoren geeignet.

Aufgrund der Rückwärtskopplung zu den Eingängen der Integratoren in der Kettenschaltung kann die Übertragungsfunktion bei Bedarf auf einfache Weise durch inverse Filterung am Eingang kompensiert werden. Hierfür eignen sich beispielsweise digitale Filter in FIR-Struktur.

Patentansprüche

1. Nach dem Prinzip der fraktionalen Frequenzsynthese arbeitender Frequenzsynthesizer mit einem phasengeregelten Oszillator (1), einem zwischen Oszillator (1) und Phasendetektor (2) angeordneten Frequenzteiler (3), der auf ganzzahlige Teilungsverhältnisse (N) einstellbar ist und dessen Ausgangsfrequenz (f_i) im Phasendetektor (2) mit einer Referenzfrequenz (f_r) verglichen wird, einem in der Steuerleitung zwischen Phasendetektor (2) und dem in der Frequenz einstellbaren Oszil-

lator (1) angeordneten Schleifenfilter (4), einer Einstellvorrichtung (5), in welcher ein gewünschtes gebrochenes rationales Teilungsverhältnis (P, F) des Frequenzteilers (3) als Digitalwert einstellbar ist,

einer Steuerschaltung (7), über deren Ausgangssignal (8) das ganzzahlige Teilungsverhältnis (N) des Frequenzteilers (3) so gesteuert wird, daß ein dem Nachkommaanteil (F) des gewünschten Teilungsverhältnisses (P, F) entsprechendes gebrochenes Teilungsverhältnis simuliert und gleichzeitig das durch das periodische Umschalten des Teilungsverhältnisses entstehende trägernahe Phasenrauschen der Ausgangsfrequenz (f_o) minimiert wird,

wobei das Ausgangssignal (8) der Steuerschaltung (7) durch Addition des ganzzahligen Anteils (P) des gewünschten gebrochenen Teilungsverhältnisses (P, F) mit einem dem Nachkommaanteil (F) entsprechenden Wert (ΔP) in einem Addierer (6) erzeugt wird und dieser Wert (ΔP) aus dem Nachkommaanteil (F) mittels einer Kettenschaltung von mehreren Integratoren (I) mit nachgeschaltetem Quantisierer (Q) gebildet wird,

dadurch gekennzeichnet, daß der am Ausgang (9) der Kettenschaltung erzeugte Wert über unterschiedlich bemessene Bewertungsglieder (K) unterschiedlich gewichtet den Eingängen der in Kette geschalteten Integratoren (I) rückgekoppelt wird.

2. Synthesizer nach Anspruch 1, dadurch gekennzeichnet, daß die Bewertungsglieder (K) jeweils gebrochen rationale Faktoren sind und die den Eingängen der Integratoren rückgekoppelten Werte gleich oder kleiner 1 sind.

3. Synthesizer nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Nachkommaanteil (F) dem ersten Integrator (I1) der Kettenschaltung über ein Bewertungsglied (11) zugeführt wird, welches den gleichen Gewichtungsfaktor wie das zum Eingang des ersten Integrators rückkoppelnde Bewertungsglied (K1) des Rückkopplungskreises aufweist.

4. Synthesizer nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß vor den zu den einzelnen Integratoren (1) führenden Rückkopplungs-Bewertungsgliedern (K) ein gemeinsames Rückkopplungsnetzwerk (R) angeordnet ist.

5. Synthesizer nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Integratoren (I) unterschiedlich große Integratorfaktoren (C) aufweisen.

6. Synthesizer nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß vor der Integrator-Kettenschaltung ein digitales Vorfilter angeordnet ist, das aufgrund der rückwärtsgekoppelten Kettenschaltung als FIR-Filter ausgebildet ist.

Hierzu 2 Seite(n) Zeichnungen

- Leerseit -

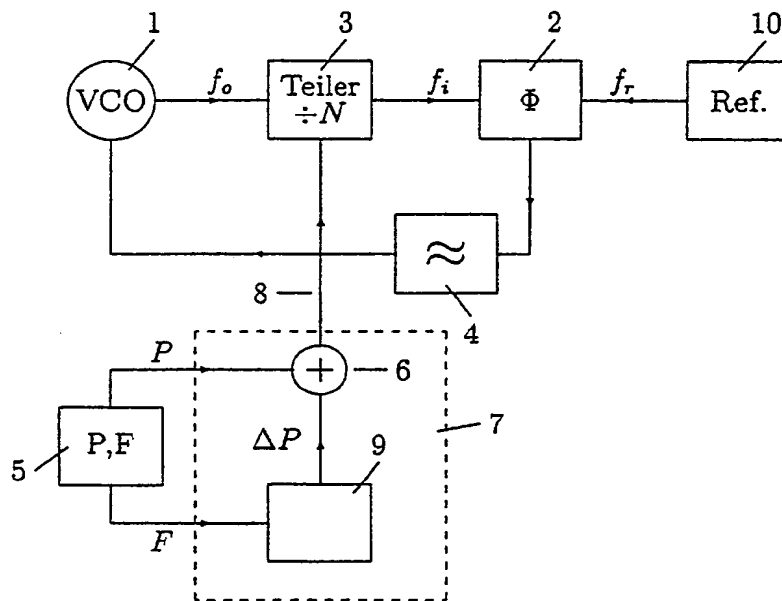


Fig. 1

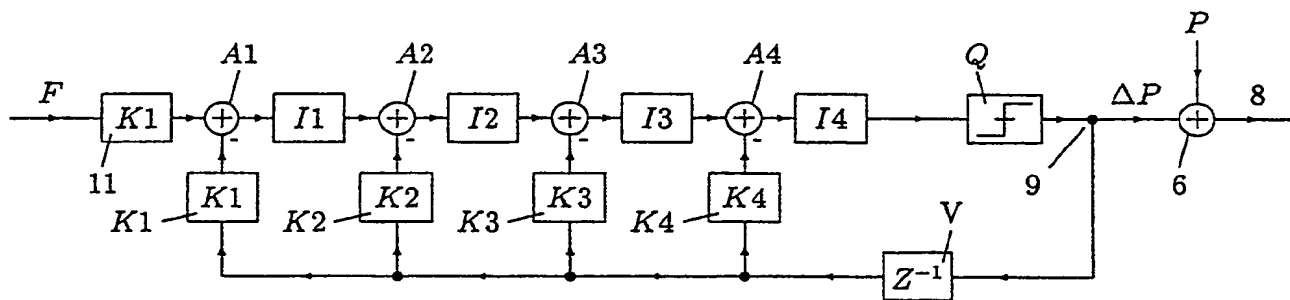


Fig. 2

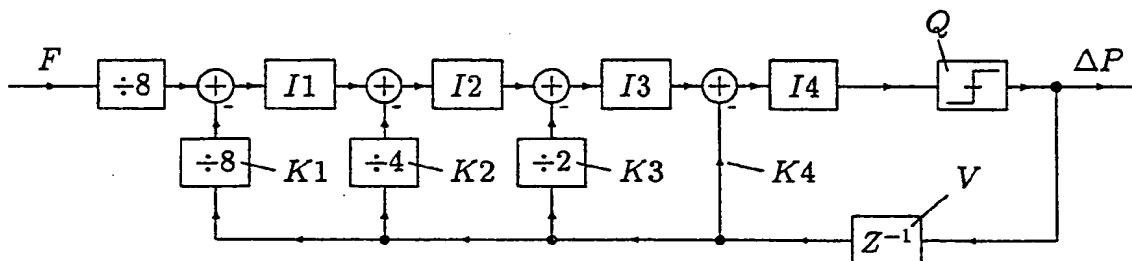


Fig. 3

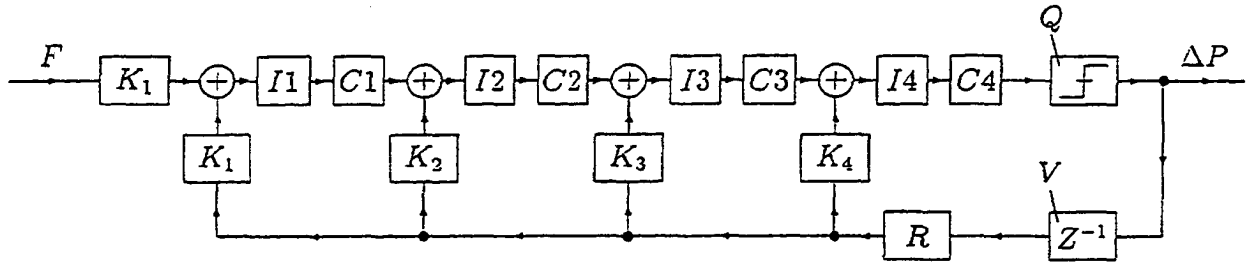


Fig. 4

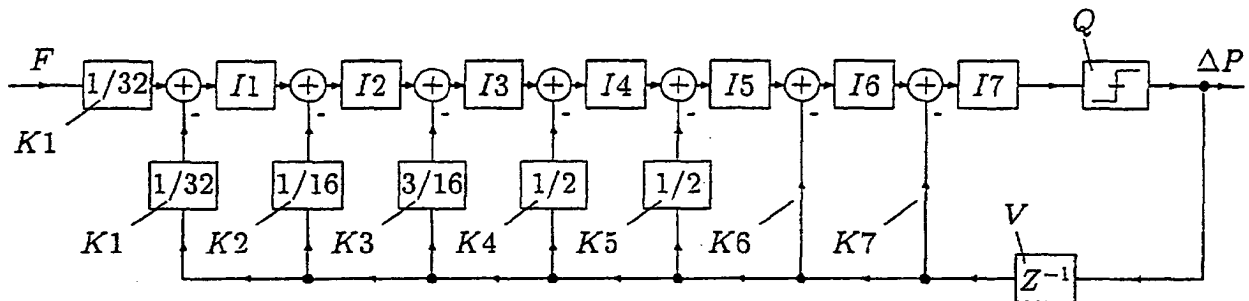


Fig. 5

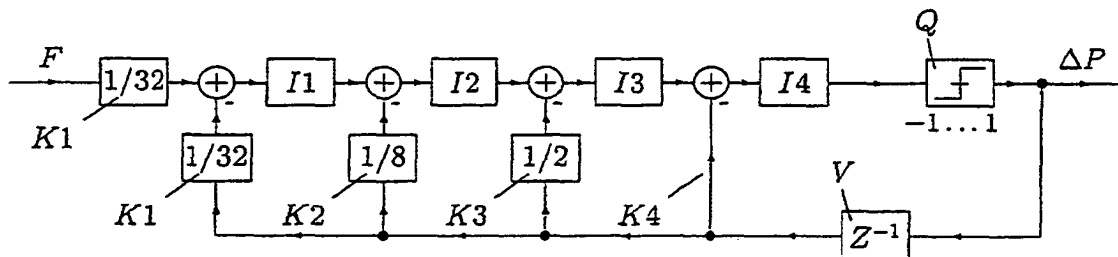


Fig. 6

Docket # LL-I0058
 Applic. #
 Applicant: H. Hammes et al.

Lerner and Greenberg, P.A.
 Post Office Box 2480
 Hollywood, FL 33022-2480
 Tel: (954) 925-1100 Fax: (954) 925-1101

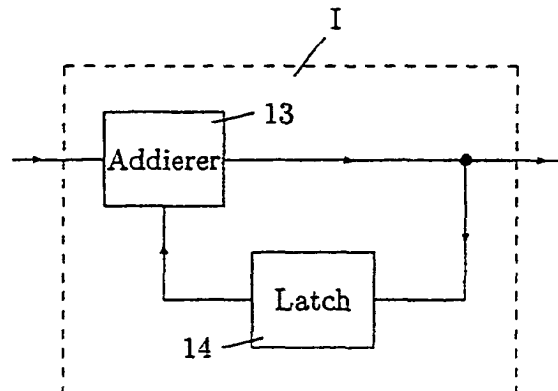


Fig. 7

Frequ ncy synth sis r using fractional frequ ncy synthesis

Patent Number: DE19640072
Publication date: 1998-04-02
Inventor(s): SCHIEK BURKHARD PROF DR ING (DE); MUSCH THOMAS (DE)
Applicant(s): ROHDE & SCHWARZ (DE)
Requested Patent: DE19640072
Application Number: DE19961040072 19960928
Priority Number(s): DE19961040072 19960928
IPC Classification: H03L7/183
EC Classification: H03L7/197D1
Equivalents:

Abstract

The frequency synthesiser includes a phase-regulated oscillator (1), coupled to a phase detector (2) via a frequency divider (3) with a whole number division ratio (N). An output frequency (fi) is provided which is compared in phase with a reference frequency (fr), the feedback loop between the output of the phase detector and the control input of the oscillator contains a loop filter (4). The frequency divider division ratio is determined by a control circuit (7), with periodic switching of the division ratio for minimising phase noise in the oscillator output signal (fo). The control circuit output signal is obtained by adding a whole number component (P) of the division ratio to a supplementary component. The component is provided by a chain circuit with a number of integrators with feedback weighting components, for simulating a fractional division ratio.

Data supplied from the esp@cenet database - I2

DOCKET NO: LL-T 0058

SERIAL NO: _____

APPLICANT: W. Hammer et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100